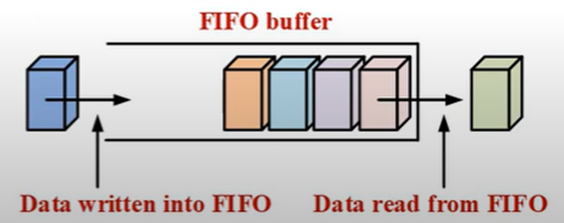
Khối FIFO cung cấp bộ đệm với chức năng là tạo ra tín hiệu báo sẵn sàng cho việc nhận dữ liệu mới và ngăn chặn việc nhận dữ liệu được lặp lại nhiều lần.

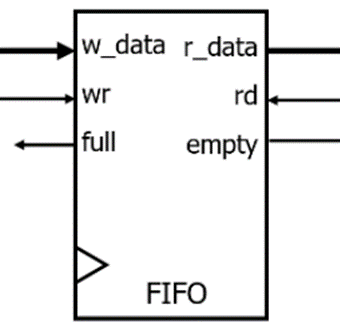
Bộ đệm FIFO là một vùng nhớ đệm dùng để lưu dữ liệu nhận về từ **khối nhận UART.**

Dung lượng của bộ nhớ đệm có thể được thiết kế tùy ý để lưu dữ liệu.



Hình 3.3: Bộ đệm FIFO

**Sơ đồ khối thiết kế của khối FIFO**

Bộ đệm FIFO được thiết kế với 5 ngõ vào và 3 ngõ ra

+ “w\_data” là ngõ vào nhận và **ghi dữ liệu** 8 bit dùng để lưu dữ liệu vào FIFO

+ “wr” là tín hiệu điều khiển **ghi dữ liệu** vào FIFO

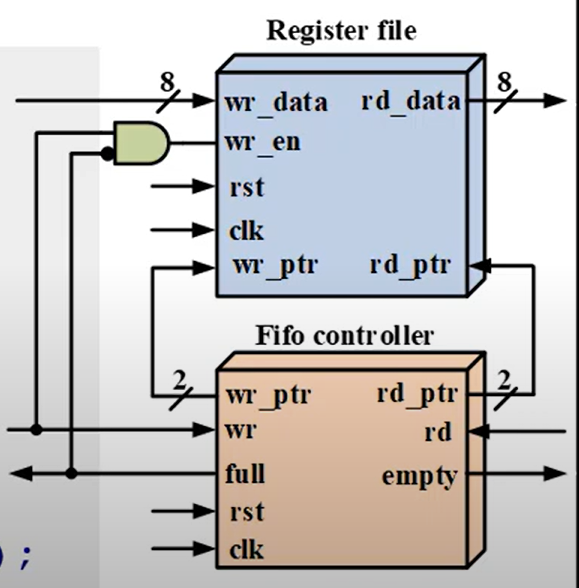
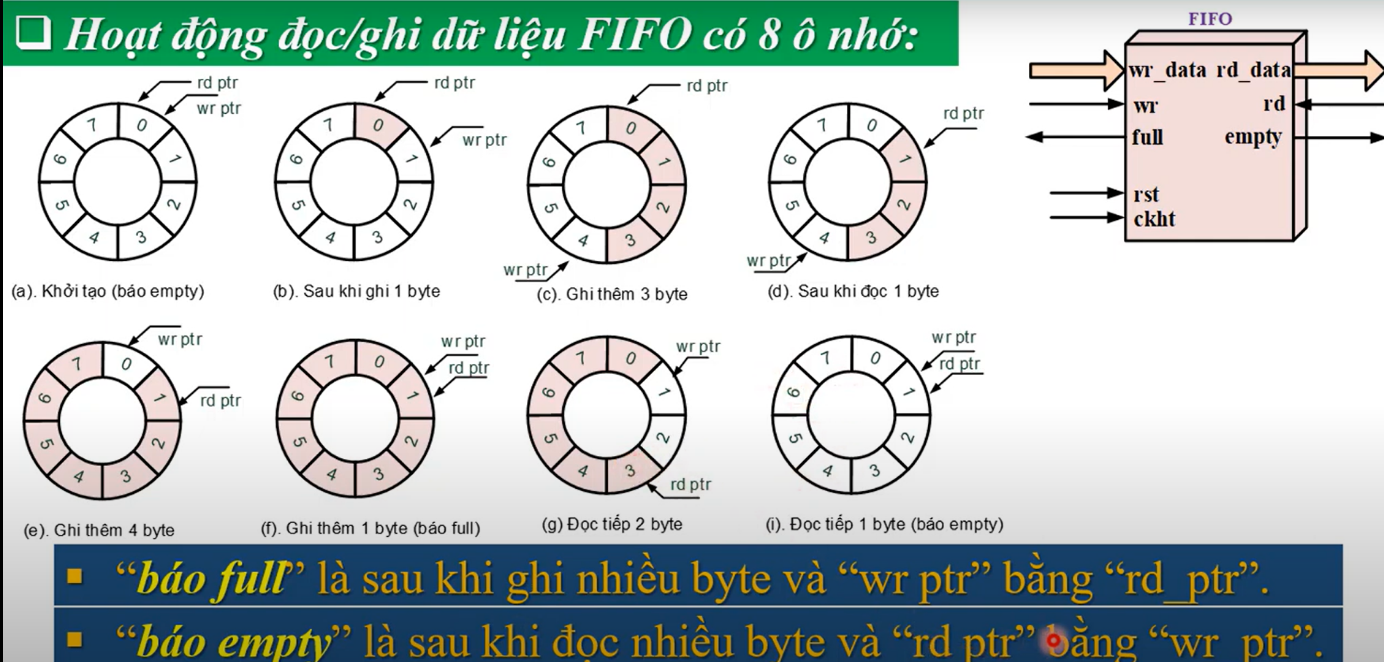
+ “ full” là tín hiệu báo trạng thái bộ đệm FIFO đầy hay không đầy. Nếu đầy thì full = 1 còn chưa đầy thì full = 0

+ “ clk , reset” là những tín hiệu được cấp chung cho toàn khối của hệ thống

+ “ r\_data” là ngõ ra dữ liệu 8 bit khi thực hiện **đọc dữ liệu** từ FIFO

+ “rd” là tín hiệu điều khiển đọc dữ liệu từ FIFO

+ “empty” là tín hiệu báo trạng thái bộ đệm FIFO rỗng hay không rỗng. Nếu rỗng thì empty = 1, còn không rỗng thì empty = 0.

****